

1/9/1

0000578943

WPI Acc no: 1973-65525U/197343

Fine alumina powder prodn - having low alkali content

Patent Assignee: NIKKEI KAKO CO LTD (NIK-N)

Patent Family (1 patents, 1 & countries)							
Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 73034680	B	00000000	JP 196883270	A	19681115	197343	B

Alerting Abstract JP B

Process comprises sintering aluminium hydroxide or alumina obtd. by the Bayer process in the presence of HCl or an aluminium chloride, boric acid or boric oxide at 1200-1250 degrees C and crushing the resulting sintered material into powder suitable for electrical isolating and a high temp. resisting material.

Title Terms /Index Terms/Additional Words: FINE; ALUMINA; POWDER; PRODUCE; LOW; ALKALI; CONTENT

Class Codes

International Patent Classification					
IPC	Class Level	Scope	Position	Status	Version Date
C01F-007/46			Secondary		"Version 7"

File Segment: CPI

DWPI Class: E33; L02

Manual Codes (CPI/A-N): E34-C; L02-G11

Chemical Indexing

Chemical Fragment Codes (M3):

01 M902 A313 A940 C108 C550 C730 C801 C802 C803 C804 C805 C807 M411 M720
N000 Q334 Q451 Q454 Q610
02 M903 A300 A313 A940 A990 C108 C550 C730 C801 C802 C803 C804 C805 C807
M411 M720 N000 Q334 Q451 Q454 Q610

Original Publication Data by Authority

Japan

Publication No. JP 73034680 B (Update 197343 B)

Publication Date: 00000000

Assignee: NIKKEI KAKO CO LTD (NIK-N)

Language: JA
Application: JP 196883270 A 19681115
Original IPC: C01F-7/46
Current IPC: C01F-7/46

Derwent WPI (Dialog® File 351); (c) 2008 The Thomson Corporation. All rights reserved.

(2,000円)

特 許 願 (2)

昭和 46 年 9 月 8 日

特許庁長官 殿

1. 発 明 の 名 称

半 導 体 装 置

2. 発 明 者

東京都品川区北品川3丁目7番35号
ソニ一株式会社
代表者 盛田 昭夫
(他1名)

3. 特 許 出 願 人

東京都品川区北品川6丁目7番35号
(218)ソニ一株式会社
代表者 盛田 昭夫

4. 代 理 人

〒160
東京都新宿区西新宿7の11の15 ミヤコビル
電話東京(03)363-1466番
(8595) 弁護士 土 屋 昭
同 所
(7215) 弁護士 高 野 則 次

5. 添 附 書 類 の 目 録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 願 書 則 本 1 通
- (4) 委 任 状 1 通
- (5) 願 書 費 納 入 書 1 通

明 細 書

1. 発 明 の 名 称

半 導 体 装 置

2. 特 許 請 求 の 範 囲

半 導 体 基 体 と 異 な る 導 電 形 を 有 し 1 若 し く は 分
割 し て 形 成 さ れ て い る 第 1 の 半 導 体 領 域 と、 前 記
第 1 の 半 導 体 領 域 と 同 一 導 電 形 で か つ 前 記 第 1 の
半 導 体 領 域 と 対 向 し 1 若 し く は 分 割 し て 形 成 さ れ
て い る 第 2 の 半 導 体 領 域 と、 前 記 第 1 の 半 導 体 領
域 と 前 記 第 2 の 半 導 体 領 域 と の 間 に 電 荷 蓄 積 効 果
を 有 す る 絶 縁 層 を 介 し て 設 け た ゲート 電 極 と を 少
な く と も 具 備 し、 か つ 前 記 絶 縁 層 に 場 所 に よ つ て
電 荷 蓄 積 保 持 量 が 異 な る よ う に 電 荷 を 蓄 積 保 持 さ
せ た こ と を 特 徴 と す る 半 導 体 装 置。

3. 発 明 の 詳 細 な 説 明

本 発 明 は MOS 電 界 効 果 ト ラ ン ジ ス ト に 類 似 し
た 半 導 体 装 置 に 関 す る も の で あ る。

従 来 か ら 半 導 体 基 体 に ソース 領 域 と ドレイン 領
域 と を 対 向 し て 設 け、 こ の ソース 領 域 と ドレイン
領 域 と の 間 の 半 導 体 基 体 表 面 上 に 絶 縁 層 を 介 し て
ゲート 金 属 電 極 を 設 け た MOS 形 FET は よ く 知
ら れ て い る。 こ の 種 の MOS 形 FET に お い て、
ドレイン・ソース 間 電 流 I_{DS} と ドレイン・ソース
間 電 圧 V_{DS} の 特 性 の 3 極 管 領 域 が 大 き い こ と、 相
互 コ ン ダ ク タ ン ス g_m が 大 き い こ と 等 が 要 望 さ れ
る。

本 発 明 は 上 述 の 如 き 各 種 の 要 望 を 充 足 し、 か つ
全 く 新 規 な 特 性 を 具 備 し た 半 導 体 装 置 を 提 供 し よ
う と す る も の で あ る。

即 ち 本 発 明 は 半 導 体 基 体 と 異 な る 導 電 形 を 有 し

① 日本国特許庁

公 開 特 許 公 報

① 特 開 昭 48-34680

④ 公 開 日 昭 48.(1973) 5.21

② 特 願 昭 46-69546

② 出 願 日 昭 46.(1971) 9.8

審 査 請 求 有 (全 9 頁)

庁 内 整 理 番 号

⑤ 日 本 分 類

6426 57

9910E3

1 若しくは分割して形成されている第1の半導体領域と、例えばソースとして働く領域と、前記第1の半導体領域と同一導電形でかつ前記第1の半導体領域と対向し1若しくは分割して形成されている第2の半導体領域と、例えばドレインとして働く領域と、前記第1の半導体領域と前記第2の半導体領域との間に電荷蓄積効果を有する絶縁層例えばアルミナ層とオキサイド層とから成る層またはナイトライド層とオキサイド層とからなる層等を介して設けたゲート電極とを少なくとも具備し、かつ前記絶縁層に場所によつて電荷蓄積保持量が異なるように電荷を蓄積保持させた例えば横方向に勾配を具備せしめて電荷を蓄積保持させた半導体装置に係るものである。

上述の如く構成すれば、全く新規な原理に基づ

ナ層(7)が形成され、この上にアルミニウム等の金属のゲート電極(8)が形成されている。即ち金属-アルミナ-オキサイド-セミコンダクタ(MAOS)層が形成されている。上述のMAOS層は、ゲート電極(8)とN形半導体基板(5)との間に臨界電圧値 V_0 以上例えば22ボルト以上の電圧を印加すれば、アルミナ層(7)とシリコン酸化物層(6)との界面に電荷が蓄積し、電圧印加を取り除いても電荷の蓄積が保持された状態となる性質を有するものである。従つてこのようなMAOS層をFETのゲートに適用し、ゲート電極と半導体基板との間即ちMとBとの間に前もつて電圧を印加すれば、閾値電圧 V_{th} を変化させることが出来る。この閾値電圧 V_{th} の変化は前もつて加える電圧の大小に比例する。尚上述の電荷の蓄積効果を生じさせるための

いて動作するMOS形式のFET及びこれに類似した素子を得ることが出来る。例えば、 $I_{DS} - V_{DS}$ 特性の3極管領域の大きいFETを得ることが出来る。

次に本発明の実施例を図面に付き述べる。

まず第1の実施例に付き述べると、半導体装置は第1A図～第1C図の如く形成されている。即ち第1A図において、ソース領域として働く P^+ 形半導体領域(1)とドレイン領域として働く P^+ 形半導体領域(2)とが対向配置され、また N^+ 形半導体領域(3)と N^+ 形半導体領域(4)とが対向配置されている。即ち極僅4つの領域が正方形に配置されている。またこのシリコンN形半導体基板(5)の上には厚さ $50\text{\AA} \sim 200\text{\AA}$ 程度のシリコン酸化物層(6)が形成され、更に厚さ $700\text{\AA} \sim 2000\text{\AA}$ 程度のアルミ

臨界電圧 V_0 はアルミナ-オキサイド層の厚さによつて変化する。

前述のソース領域として働く P^+ 形半導体領域(1)にソース電極(11)が設けられ、開口(9)を通して外部に導出されている。また前述のドレイン領域として働く P^+ 形半導体領域(2)にドレイン電極(12)が設けられ、開口(10)を通して外部に導出されている。更に N^+ 形半導体領域(3)と(4)とにも開口(13)と(14)とを通して電極(15)と(16)とが設けられている。

次に、上述の如く構成されている半導体装置に次に示す如き処理を施す。まず N^+ 形半導体領域(3)の電極(15)と N^+ 形半導体領域(4)の電極(16)との間に直流バイアス電源を接続し、またゲート電極(8)とN形半導体基板(5)の間にも直流バイアス電源を接続する。そして上述の如き接続状態でゲート

電極(8)とN形半導体基板(5)との間に蓄積効果を発揮する臨界電圧例えば22ボルト以上のゲート電圧 V_G 例えば42ボルトを、また N^+ 形半導体領域(3)と(4)との間に適当なバイアス電圧 V_B 例えば20ボルトを同時に加える。このように同時に電圧 V_G と V_B とを加えれば $V_G - V_B$ が実効的にMAOS層に作用する。今、バイアス電圧 V_B による電位分布を考えれば、第2A図に示す如く分布するものと考えることが出来る。尚第2A図は0点即ちA点を第1B図のA点に対応させ、第2A図のB点を第1B図のB点に対応させて表わしている。即ち N^+ 形半導体領域(3)から N^+ 形半導体領域(4)に向つて順次電位が高くなる分布と考えることが出来る。そして半導体基板(5)の横方向にこのような電位が存在すれば、ゲート電圧 V_G を打ち消す

したものが第2B図である。この実施例では電荷は電子である。即ちA点附近では多くの電子が蓄積保持され、B点附近ではほとんど電子が蓄積保持されなくなる。アルミナ層(7)とシリコン酸化物層(6)との間に第2B図の如く電子が分布すれば、半導体基板(5)の表面での電子の分布は第2C図に示す如く第2B図の分布とは逆になる。そして半導体基板(5)の表面のホール分布が第2D図に示す如く第2B図の蓄積電子の分布に対応したものとなる。

上述の如くゲート電圧 V_G とバイアス電圧 V_B とを同時に印加した後これを取り除き、しかる後に半導体素子として使用する。半導体素子として使用する際は特殊の場合を除き通常 N^+ 形半導体領域(3)と(4)とは不要である。

ことになり、ゲート電極(8)と半導体基板(5)との間には V_B で打ち消された電圧 $V_G - V_B$ が加わる。この $V_G - V_B$ は V_G が一定であつても V_B が場所とともに変化するので、場所依存性を有するものとなる。即ち第2B図のA点ではバイアス電圧 V_B の作用がほとんど零であるのでゲート電圧 V_G 例えば42ボルトがそのままゲート電極(8)と半導体基板(5)との間に加わり、B点に近づくにしたがつて順次減少し、B点では $V_G - V_B$ が例えば $42 - 20 = 22$ ボルトとなり、例えば蓄積効果を生ずる臨界電圧 V_G となる。

上述の如く場所によつて変化する電圧が加えられれば、アルミナ層(7)とシリコン酸化物層(6)との間に蓄積保持される電荷の量も $V_G - V_B$ の関数となつて分布する。この蓄積電荷 Q_m の分布を表わ

上述の如くして形成された半導体装置の特性を調べれば次の如くなる。今、この半導体装置を電界効果形トランジスタとして使用する場合に付き述べると、 P^+ 形半導体領域(1)をソースとし、 P^+ 形半導体領域(2)をドレインとし、 P^+ 形半導体領域(1)と半導体基板(5)とを接地して使用する。このようなFETはゲート電圧で大きくドレイン電流が変化し、 g_m の大きなものとなる。

次にこのFETの動作を詳しく述べる。今 P^+ 形半導体領域(1)と P^+ 形半導体領域(2)との間で形成されるFETを複数のFETに分割して考えると、A点における微小FETの特性は第2F図に示す如きものとなる。即ち $V_G = 0$ でもドレイン・ソース間電流 I_{DS} が流れるデプレッション形となり、閾値電圧 V_{thA} を有するものとなる。またB点に

おける微小FETの特性は第2G図に示す如きものとなる。即ち $V_G = 0$ ではドレイン・ソース間電流 I_{DS} が流れないエンハンスメント形となり、閾値電圧 V_{th} を有するものとなる。即ちA点とB点とで閾値電圧が異なるFETとなる。今、A点とB点とのみの微小FETを考えたがA点とB点との間の微小FETを考えれば、それぞれ閾値電圧 V_{th} の異なるものとなる。この閾値電圧 V_{th} の位置による変化を示したものが第2H図である。閾値電圧 V_{th} が第2E図の如く変化しているということは零ラインと交わる点から左側がPチャネルのデプレッション形に形成され、右側がPチャネルのエンハンスメント形に形成されていることを意味する。そして、全体のFETとしては微小FETを並列に接続した特性となり、第

向の際はこれと逆になる。

上述の如くチャネルが変化するので、本発明に基づくFETの変化量は大きなものとなる。この変化量を第3図に従つて述べると、今ゲート電圧 V_G を ΔV_G だけ変化させた際、従来のFETであれば、曲線aから曲線cまでしか変化しないが、本発明のFETであれば曲線aから曲線bまで変化する。即ちチャネルの厚さ方向とチャネルの幅方向の変化が生じ、同じ ΔV_G で大きく I_{DS} が変化する。これはまた ΔV_G の変化に対して高い Δg_m が得られることを意味する。また3極管領域をリニヤーにのぼすことが出来るので即ちドレイン・ソース間電流 I_{DS} の0点とピンチオフする点との間を大きくとれるので、0とピンチオフ電圧に対応する電流 I_{Dsp} とでスイッチとして使いこ

2H図の如くなる。従つて従来のFETと同じように使用することが出来るが、しかし動作は全く異なっている。このFETはゲート電圧 V_G によつて従来のFETと同じようにチャネルの厚さの変調がなされるが、それと同時にチャネルの幅が変調されている。

このチャネルの幅の変調に付いて述べると、今、ゲート電極(8)に対するゲート電圧 V_G が零の状態から正のゲート電圧を第2H図で示す閾値電圧 V_{th} に向つて徐々に加えてゆくとすれば、第2D図に示す如き微小FETで考えた閾値電圧の分布が変化し、左側のデプレッション形の領域がだんだん少なくなり、第2H図の V_{th} を加えたときにはついにデプレッション領域はなくなる。今ゲート電圧 V_G の減少の方向について述べたが増加の方

とも出来るようになる。

今までの実施例は $V_B > 0$ のバイアス電圧 V_B と $V_G > 0$ のゲート電圧 V_G とを同時に加えて電荷の蓄積効果を生じさせたものであつたが、 $V_B > 0$ のバイアス電圧 V_B と $V_G < 0$ のゲート電圧 V_G とを同時に加えたときの実施例に付き述べると、第4A図～第4H図の如くなる。即ちバイアス電圧 V_B のA点とB点間の分布は第4A図に示す如く第2A図と同じになる。またアルミナ層(7)とシリコン酸化物層(6)との間に蓄積されるホールの分布は第4B図の如くなる。また半導体基板(5)の表面の電子の分布は第4C図の如くなる。また表面のホールの分布は第4D図の如くなる。従つてA点からB点を細分して考える微小FETの閾値電圧の分布は第4E図の如くとなる。そして今A点にわけ

る微小FETの特性を考えれば、第4E図の如くとなり、B点における微小FETの特性を考えれば、第4G図の如くとなる。また全体の特性は第4H図の如くなる。即ちエンハンスメント形FETの特性となる。

次にP形半導体基板を使用したN形チャンネルのFETの実施例に付き述べる。

第5図は理解を容易にするためにP形半導体基板中の拡散領域のみ示したものである。この実施例のFETはP形半導体基板図を使用したので第1図とはそれぞれの導電形が逆となり、ソース領域として働くようにN⁺形半導体領域図が、ドレイン領域として働くようにN⁺形半導体領域図が、またバイアス電圧を加えるためのP⁺形半導体領域図が拡散によつて1~2μm程

でだんだん増加する分布となる。従つて微小FETの閾値電圧をA点からB点に向つて調べれば、第6E図の如くなる。そして今A点の微小FETの特性曲線を示せば第6F図の如くなり、B点の微小FETの特性曲線を示せば第6G図の如くなり、全体としては第6H図の如くとなる。即ちNチャンネルのエンハンスメント形のFETとして働くものとなる。

次に第5図の素子に負のゲート電圧 V_G と負のバイアス電圧 V_B とを同時に加えたときに付き述べる。今第7A図の如きバイアス電圧 V_B を加えたとすれば、シリコン酸化物層とアルミナ層との間に蓄積保持される正孔は近似的に第7B図の如き分布となる。そして表面の電子の分布は第7C図の如く、また表面のホール分布は第7D図の

度の深さに設けられている。そして、第1図と同じようにシリコン酸化物層とアルミナ層とを介してゲート電極が設けられ、またそれぞれの領域にも電極が設けられている。

上述の如き構成のFETに対して、正のゲート電圧 V_G と負のバイアス電圧 V_B とを加えたときの変化を第6A図~第6H図で説明する。今第6A図の如きバイアス電圧 V_B をP⁺形半導体領域図と図との間に加え、同時にゲート電極にゲート電圧 V_G を加えたとすれば、シリコン酸化物層とアルミナ層との界面附近に電子が蓄積される。この電子の蓄積を第5図のA点とB点との間の分布として見れば第6B図の如くとなる。また表面の電子は第6C図の如くほとんど零となる。一方表面のホールは第6D図に示す如くA点からB点に向つ

如くなり、微小FETの閾値電圧 V_{th} の分布は第7E図の如くなる。今A点の微小FETの特性を考えれば第7F図となり、Nチャンネルのデプレション形となる。またB点の微小FETの特性を考えれば、第7G図の如くなりNチャンネルのエンハンスメント形となる。そして全体の特性は第7H図の如くとなりデプレション形のFETとなる。

以上本発明を実施例に基づいて説明したが、上述の実施例に限定されことなく本発明の技術的恩恵に基づいて更に変形が可能であることは理解されるであろう。例えば、金属-アルミナ-オキサイド-セミコンダクター即ちMAOSに限ることなく、金属-ナイトライド-オキサイド-セミコンダクター即ちMNOS等でゲート電極下の絶縁

層を形成することも出来る。また通常のFET以外の方法で使用するように構成することも出来る。例えば P^+ 形半導体領域(1)、 P^+ 形半導体領域(2)、 N^+ 形半導体領域(3)(4)、ゲート電極(5)の二つ若しくはそれ以上の間を任意に選択して使用するよう構成することも出来る。また P^+ 形半導体領域(1)、 P^+ 形半導体領域(2)、 N^+ 形半導体領域(3)(4)を分割配置することも出来る。

本発明は上述の如く、ソースに相当する領域とドレインに相当する領域との間に設けるゲート領域の絶縁層に電荷を蓄積させ、かつこの電荷の蓄積を横方向に勾配を有するようにしたものである。全く新規な原理に基づいて動くFET若しくはこれに類似した半導体装置を提供することが出来る。例えば通常のFETは勿論のこと、アナ

ログデジタルメモリー、可変 g_m 形電界効果トランジスタ、無接点ポリウム等を提供することが出来る。

4 図面の簡単な説明

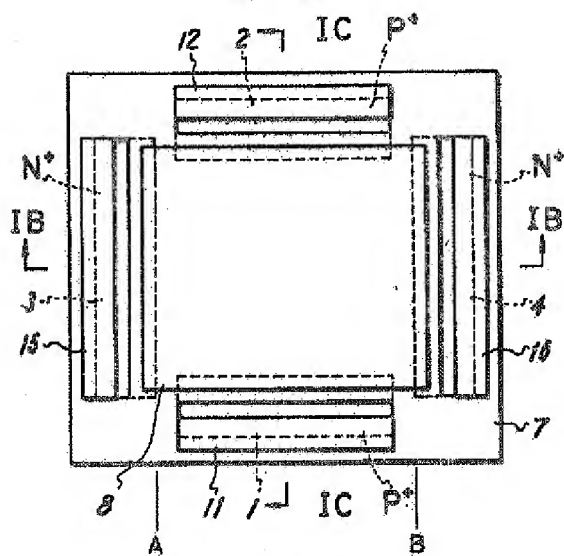
図面は本発明の実施例を示すものであり、第1A図～第4H図はN形シリコン基板を使用したPチャンネルの装置の実施例であつて、第1A図は平面図、第1B図は第1A図における1B-1B線断面図、第1C図は第1A図における1C-1C線断面図、第2A図は $V_G > 0$ 、 $V_B > 0$ の条件のときの各状態を示すものであつて、第2A図はバイアス電圧の分布を示す図、第2B図は絶縁層に注入保持された電子密度の分布を示す図、第2C図は表面の電子密度の分布を示す図、第2D図は表面のホール密度の分布を示す図、第2E図は $V_B < 0$ の条件のときの各状態を示す図、第7A図～第7H図は $V_G < 0$ 、 $V_B < 0$ の条件の各状態を示す図である。

また図面に用いられている符号において、(1)(2)は P^+ 形半導体領域、(3)(4)は N^+ 形半導体領域、(5)はN形半導体基板、(6)はシリコン酸化物層、(7)はアルミナ層、(8)はゲート電極である。

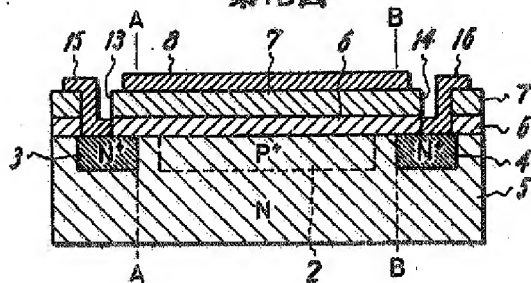
代 理 人 土 屋 勝
高 野 昭 次

ログFETの間値電圧の分布を示す図、第2F図のA点の $I_{DS}-V_G$ 特性図、第2G図はB点の $I_{DS}-V_G$ 特性図、第2H図は全体の $I_{DS}-V_G$ 特性図、第3図はFETの $V_{DS}-I_{DS}$ 特性図、第4A図～第4H図は $V_G < 0$ 、 $V_B > 0$ の条件のときの各状態を示すものであつて、第4A図はバイアス電圧の分布を示す図、第4B図は絶縁層のホール密度の分布を示す図、第4C図は表面の電子密度の分布を示す図、第4D図は表面のホール密度の分布を示す図、第4E図はFETの間値電圧の分布を示す図、第4F図はA点のFETの特性図、第4G図はB点のFETの特性図、第4H図は全体のFETの特性図、第5図～第7H図はP形半導体基板を使用した実施例を示すものであつて、第5図は拡散部を示す平面図、第6A図～第6H図は $V_G > 0$ 、

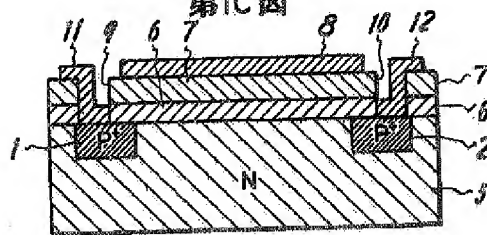
第1A図



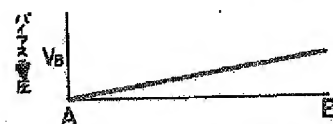
第1B図



第1C図



第2A図



第2B図



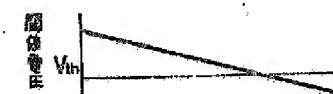
第2C図



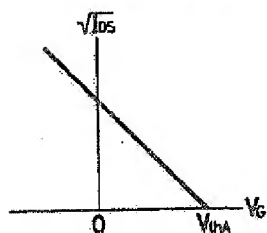
第2D図



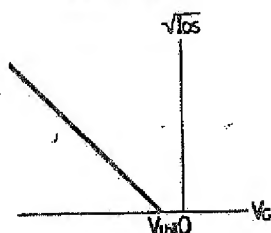
第2E図



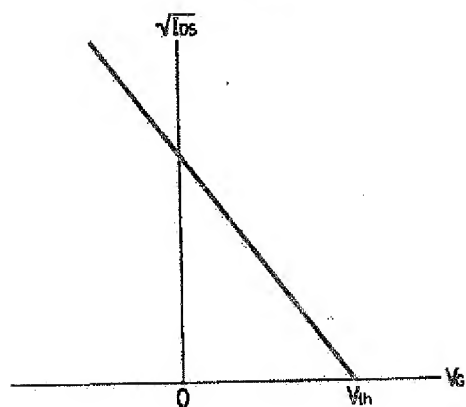
第2F図



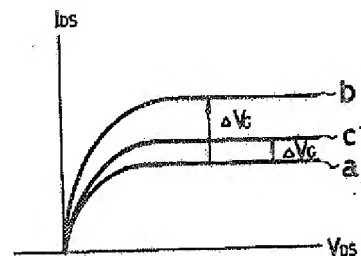
第2G図



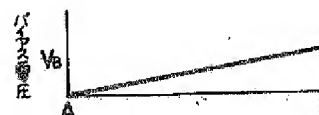
第2H図



第3図



第4A図



第4B図



第4C図



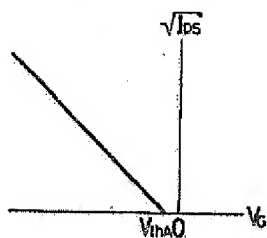
第4D図



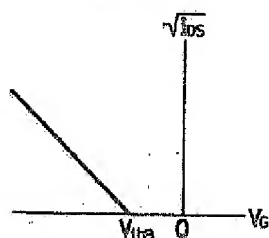
第4E図



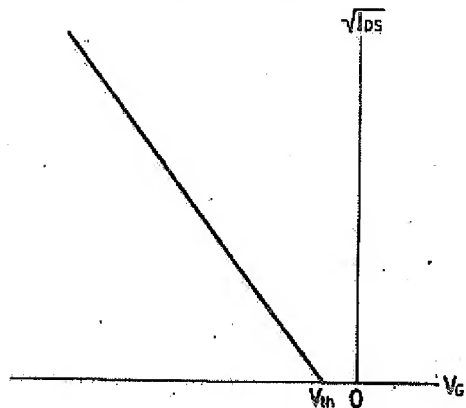
第4F図



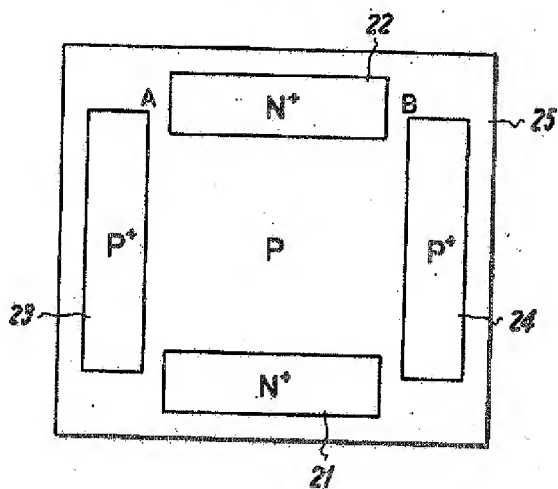
第4G図



第4H図



第5図



第6A図



第6B図



第6C図



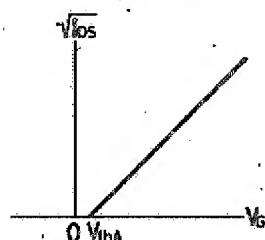
第6D図



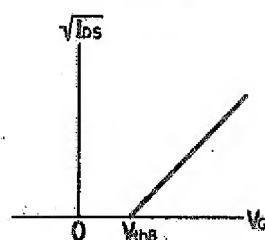
第6E図



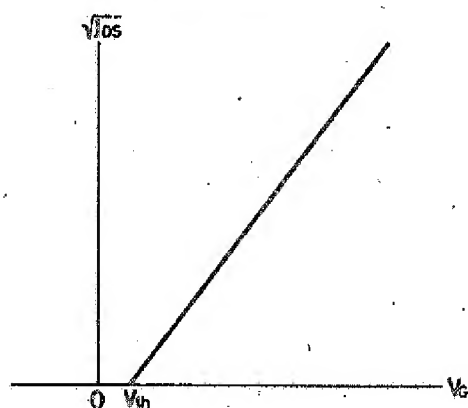
第6F図



第6G図



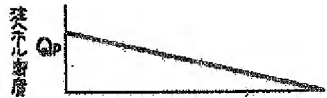
第6H図



第7A図



第7B図



第7C図



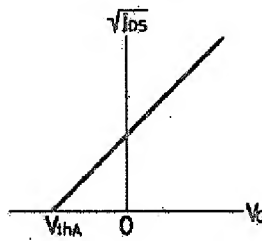
第7D図



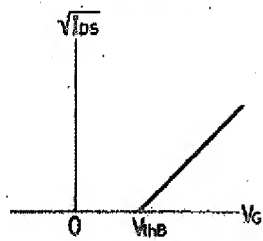
第7E図



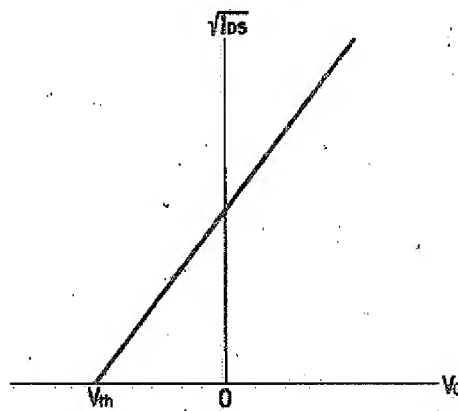
第7F図



第7G図



第7H図



④ 前記以外の発明者

神奈川県厚木市岡田1964の1ソニー 岡田三郎
山口 忠 剛